

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-012717

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

H01L 21/76

H01L 27/08

(21)Application number : 08-167684

(71)Applicant : NEC CORP

(22)Date of filing : 27.06.1996

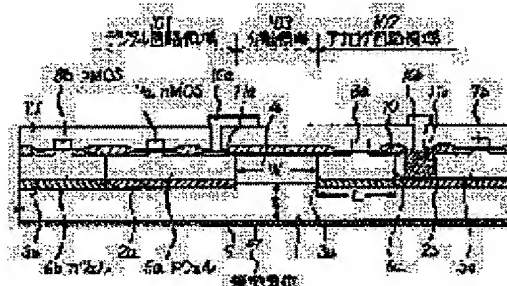
(72)Inventor : YAMAZAKI TORU

## (54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT HAVING DIGITAL AND ANALOG CIRCUITS

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a device substrate not permitting the signal crosstalk through a semiconductor substrate between a digital and an analog circuits, by isolating a well region having the digital circuit from a well region having the analog circuit by a region wider than the thickness of the substrate.

**SOLUTION:** An analog circuit region 102 occupies a large area and surrounds a digital circuit region 101. An isolation region 103 of an epitaxial layer 4 locates between both circuits 101, 102 and has a width W larger than the thickness t of a semiconductor substrate 1. Owing to this, a noise current leaking from wells 5a, 6b of the digital circuit region 101 to the epitaxial layer 4 or the substrate 1 would not arrive at the wells but is drawn by the electric field of a substrate back surface electrode 9 and absorbed. Thus, the influence of the noise from the digital circuit 101 on the analog circuit 102 is avoidable.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12717

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/76			H 0 1 L 21/76	M
27/08	3 3 1		27/08	3 3 1 A
			21/76	R

審査請求 有 請求項の数30 O L (全 12 頁)

(21) 出願番号 特願平8-167684

(22) 出願日 平成8年(1996) 6月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山崎 亨

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

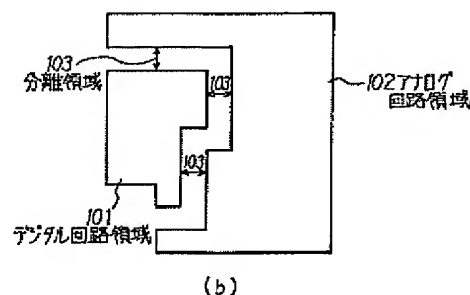
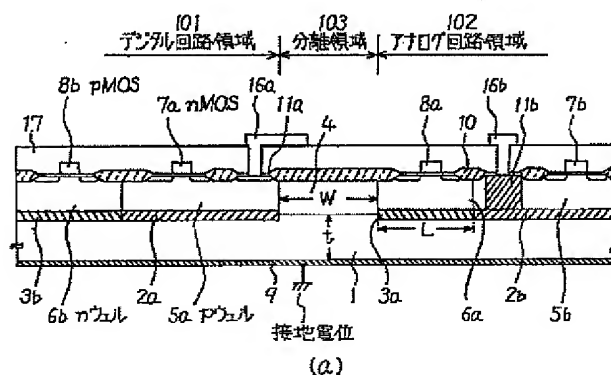
(54) 【発明の名称】 デジタル回路とアナログ回路が混在する半導体集積回路  
造方法

装置およびその製

(57) 【要約】 (修正有)

【課題】 デジタル回路とアナログ回路とを混在せしめた半導体集積回路において、回路領域間で半導体基板または分離領域を介した信号のクロストークを防止した構造を得ることにある。

【解決手段】 半導体基板もしくは半導体基板上の半導体層にデジタル回路領域とアナログ回路領域とを有し、デジタル回路領域とアナログ回路領域との間の分離領域の幅は半導体基板の厚さ以上とされている。更に、デジタル回路領域とアナログ回路領域とに対応する半導体基板の裏面には別個の裏面電極を形成する。半導体基板の分離領域に対応する表面部には高抵抗領域を形成する。この高抵抗領域は注入角度約0度のイオン注入で形成する。半導体基板上に半導体層をSOI構造で形成する。SOI構造の半導体層にはウェルを形成しウェルの外側部には反対導電型領域を形成する。



## 1

## 【特許請求の範囲】

【請求項1】 デジタル回路とアナログ回路とを同一集積回路基板に混在せしめた半導体集積回路装置において、前記集積回路基板には半導体基板を含んだ構造となっており、該集積回路基板の表面に複数のウェル領域を有し、デジタル回路とアナログ回路とはそれぞれ異なるウェル領域に形成され、これらデジタル回路を形成したウェル領域とアナログ回路を形成したウェル領域とは前記半導体基板の厚さ以上の幅を有する分離領域によって離されていることを特徴とする半導体集積回路装置。

【請求項2】 前記集積回路基板は前記半導体基板上に半導体層を有し、該半導体層に前記複数のウェル領域が形成されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記デジタル回路を形成したウェル領域にはn型の第1のウェルとp型の第1のウェルとをそれぞれ少なくとも一つづつ有し、これらn型とp型の第1のウェルにはそれぞれの低部に各ウェルの導電型と同じ導電型で高濃度の埋め込み層を有しており、更に前記アナログ回路を形成したウェル領域にはn型の第2のウェルとp型の第2のウェルとをそれぞれ少なくとも一つづつ有し、これらn型とp型の第2のウェルにはそれぞれの低部に各ウェルの導電型と同じ導電型で高濃度の埋め込み層を有していることを特徴とする請求項2記載の半導体集積回路装置。

【請求項4】 前記デジタル回路を形成したウェル領域内の前記第1のウェルのうち、前記分離領域に隣接するウェル内には回路素子と該回路素子と前記分離領域との間に形成されて固定電位に接続される第1の固定電位領域とを有することを特徴とする請求項3に記載の半導体集積回路装置。

【請求項5】 前記アナログ回路を形成したウェル領域内の前記第2のウェルのうち、前記分離領域に接するウェルは前記n型の第2のウェルであり、該n型の第2のウェルの前記分離領域とは反対側で該分離領域に接しないように前記p型の第2のウェルが形成されており、該p型の第2のウェル内には回路素子と該回路素子と前記分離領域に接する前記p型の第2のウェルとの間に形成されて固定電位に接続される第2の固定電位領域とを有することを特徴とする請求項3または請求項4に記載の半導体集積回路装置。

【請求項6】 前記第2の固定電位領域はp型の高濃度領域であり、該第2の固定電位領域はその下部に位置する前記高濃度の埋め込み層に接続するような深さで形成されていることを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】 前記半導体基板の前記半導体層とは反対側の表面には基板電位を与える電極が設けられており、該基板電位を与える電極は前記デジタル回路を形成したウェル領域に面して形成された第1の電極と前記アナロ

## 2

グ回路を形成したウェル領域に面して形成された第2の電極とに別れて形成されていることを特徴とする請求項2乃至6のいずれかに記載の半導体集積回路装置。

【請求項8】 前記分離領域に位置する前記半導体基板の前記半導体層側表面部には高比抵抗領域が設けられていることを特徴とする請求項2乃至7のいずれかに記載の半導体集積回路装置。

【請求項9】 前記半導体層は前記半導体基板上に絶縁物の層を介して形成されていることを特徴とする請求項2乃至7のいずれかに記載の半導体集積回路装置。

【請求項10】 前記半導体基板の前記絶縁物の層に接する表面部には高比抵抗層が設けられていることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項11】 前記半導体層は前記半導体基板上に絶縁物の層を介して形成されており、該半導体層には前記デジタル回路を形成したウェル領域と前記アナログ回路を形成したウェル領域とを有し、該デジタル回路を形成したウェル領域にはn型の第1のウェルとp型の第1のウェルとをそれぞれ少なくとも一つづつ有し、これらn型とp型の第1のウェルには少なくともそれぞれの底面に各ウェルの導電型とは異なる導電型の底面領域を有しており、更に前記アナログ回路を形成したウェル領域にはn型の第2のウェルとp型の第2のウェルとをそれぞれ少なくとも一つづつ有し、これらn型とp型の第2のウェルには少なくともそれぞれの底面に各ウェルの導電型とは異なる導電型の底面領域を有していることを特徴とする請求項2に記載の半導体集積回路装置。

【請求項12】 前記各底面領域はそれぞれの底面領域を有するウェルの側面に延在して形成されていることを特徴とする請求項11に記載の半導体集積回路装置。

【請求項13】 デジタル回路とアナログ回路とを同一集積回路基板に混在せしめた半導体集積回路装置において、前記集積回路基板には半導体基板上に半導体層を有する構造となっており、該半導体層の表面に複数のウェル領域を有し、デジタル回路とアナログ回路とはそれぞれ異なるウェル領域に形成され、これらデジタル回路を形成したウェル領域とアナログ回路を形成したウェル領域とは前記集積回路基板の分離領域によって離間されており、各ウェル領域にはn型とp型のウェルをそれぞれ有し、前記デジタル回路を形成したウェル領域内のウェルの内前記分離領域に接するウェルには回路素子と該回路素子と前記分離領域との間に形成された第1の固定電位領域を有していることを特徴とする半導体集積回路装置。

【請求項14】 前記アナログ回路を形成したウェル領域内のウェルの内前記分離領域に接するウェルはn型であり、このn型のウェルの前記分離領域とは反対側にはp型のウェルを有し、該p型のウェルには回路素子と該回路素子と前記分離領域との間に形成された第2の固定電位領域を有していることを特徴とする請求項13に記

載の半導体集積回路装置。

【請求項15】 前記第2の固定電位領域を有するウェルには底面にこのウェルの導電型と同じ導電型で高不純物濃度の埋め込み層を有し、前記第2の固定電位領域は該第2の固定電位領域を有するウェルの表面から前記高不純物濃度の埋め込み層に達して形成されていることを特徴とする請求項14に記載の半導体集積回路装置。

【請求項16】 デジタル回路とアナログ回路とを同一集積回路基板に混在せしめた半導体集積回路装置において、前記集積回路基板には半導体基板を含んだ構造となっており、該集積回路基板の表面には複数のウェル領域を有し、デジタル回路とアナログ回路とはそれぞれ異なるウェル領域に形成されており、これらデジタル回路を形成したウェル領域とアナログ回路を形成したウェル領域とにそれぞれ対応するには前記半導体基板の裏面にはそれぞれ基板電位供給電極が設けられ、これら基板電位供給電極は互いに接触することなく相互に独立して形成されていることを特徴とする半導体集積回路装置。

【請求項17】 デジタル回路とアナログ回路とを同一集積回路基板に混在せしめた半導体集積回路装置において、前記集積回路基板には半導体基板上に半導体層を有する構造となっており、該半導体層の表面に複数のウェル領域を有し、デジタル回路とアナログ回路とはそれぞれ異なるウェル領域に形成され、これらデジタル回路を形成したウェルとアナログ回路を形成したウェル領域とは前記集積回路基板の分離領域によって離間されており、各ウェル領域にはn型とp型のウェルをそれぞれ有し、前記デジタル回路を形成したウェル領域内の前記ウェルは前記分離領域に接して前記半導体基板の導電型と同じ導電型のウェルを有し、前記アナログ回路を形成したウェル領域内の前記ウェルは前記分離領域に接して前記半導体基板の導電型とは異なる導電型のウェルを有していることを特徴とする半導体集積回路装置。

【請求項18】 デジタル回路とアナログ回路とを同一集積回路基板に混在せしめた半導体集積回路装置において、前記集積回路基板には半導体基板上に絶縁物を介して半導体層を形成した構造となっており、該半導体層の面に複数のウェル領域を有し、デジタル回路とアナログ回路とはそれぞれ異なるウェル領域に形成され、これらデジタル回路を形成したウェル領域とアナログ回路を形成したウェル領域とは前記集積回路基板の分離領域によって離間されていることを特徴とする半導体集積回路装置。

【請求項19】 前記分離領域には前記半導体層の表面から前記絶縁物層に達する絶縁物を埋設した溝を有することを特徴とする請求項18に記載の半導体集積回路装置。

【請求項20】 前記半導体基板の前記絶縁物層に接する表面には低不純物濃度層が全面に形成されていることを特徴とする請求項18または19に記載の半導体集積

回路装置。

【請求項21】 前記デジタル回路を形成したウェル領域とアナログ回路を形成したウェル領域にはそれぞれn型とp型のウェルを有し、各ウェルの少なくとも前記絶縁物層に接する底面にはそれぞれのウェルの導電型とは異なる導電型の底面領域を有することを請求項18乃至21のいずれかに記載の半導体集積回路装置。

【請求項22】 一導電型の半導体基板上に形成した半導体層にデジタル回路とアナログ回路とを混在して形成した半導体集積回路装置の製造方法において、前記半導体基板の一表面で第1表面領域と第2表面領域とを区画する帯状の領域を除いてマスク物質で覆う工程と、他の導電型の不純物を前記帯状の領域に対して約0度の注入角度でイオン注入する工程と、前記マスク物質を除去して半導体層を成長せしめる工程と、前記半導体基板の前記第1表面領域上の前記半導体層にデジタル回路を構成し、前記半導体基板の前記第2表面領域上の前記半導体層にアナログ回路を構成する回路形成工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項23】 前記イオン注入する工程は前記他の導電型の不純物を異なる複数の注入エネルギーでイオン注入することを特徴とする請求項22に記載の半導体集積回路装置の製造方法。

【請求項24】 前記マスク物質で覆う工程に使用する前記半導体基板には前記第1及び第2表面領域のそれぞれにn型とp型の高濃度領域を予め形成されているものであり、前記回路構成工程では、前記半導体基板の前記第1及び第2表面領域のそれぞれの上の部分に相当する前記半導体層には前記n型とp型の高濃度領域の上にそれぞれの高濃度領域の導電型と等しい導電型のウェルを形成し、その後各ウェルに回路素子を形成して回路配線を行うことを特徴とする請求項22または23に記載の半導体集積回路装置の製造方法。

【請求項25】 一導電型の第1の半導体基板の表面に他の導電型の不純物を該表面に対し約0度の注入角度でイオン注入する工程と、該イオン注入の施された表面に絶縁物膜を介して第2の半導体基板を貼り付ける工程と、該第2の半導体基板の前記絶縁物とは対向する表面に第1表面領域と第2表面領域とこれら第1、第2表面領域を分離する帯状の分離領域とを固定し、該第1表面領域にデジタル回路を形成すると共に該第2表面領域にアナログ回路を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項26】 前記イオン注入する工程は前記他の導電型の不純物を異なる複数の注入エネルギーでイオン注入することを特徴とする請求項25に記載の半導体集積回路装置の製造方法。

【請求項27】 前記デジタル回路及びアナログ回路形成工程は、前記第1および第2表面領域下の前記第2の半導体基板にそれぞれn型とp型のウェルを形成し、各

【0004】基板クロストークを低減する構造的改善策の一つが特開平2-14549号公報に提案されている。これは図13に示すように、シリコン基板260上のエピタキシャル層EP1にアナログ回路用バイポーラトランジスタ246とデジタル回路用バイポーラトランジスタ248とを形成し、これらトランジスタ246、248間のエピタキシャル層を酸化物272に変えて素子分離し、素子分離領域の酸化物272下のシリコン基

【0008】図14は特開平4-251970号公報に開示されているもので、P型シリコン基板310にデジタル回路用のN型ウェル312とアナログ回路用のN型ウェル314とが別々に設けられている。N型ウェル3

## 7

12にはPチャンネルMOSトランジスタと共にNチャンネルMOSトランジスタ用のP型ウェル315を有し、これらトランジスタでCMOSデジタル回路を形成している。一方、N型ウェル314にはPチャンネルトランジスタと共にNチャンネルトランジスタ用のP型ウェル318を有し、これらトランジスタでCMOSアナログ回路を形成している。各ウェル領域312、314、315、318にはそれぞれ電源電位Vccまたは接地電位GNDがN+領域324またはP+領域326を介して与えられている。P型基板310にもP+領域328を介して接地電位GNDが与えられている。

【0009】かかる構造によれば、デジタル回路領域とアナログ回路領域とは異なるウェル領域312、314に形成されており、これらのウェル領域312、314は、固定電位に接続されると共に、基板310で遮蔽されているので各回路領域間のクロストーク成分信号の導通を防ぐことが出来る。しかし、かかるウェル領域によってデジタル回路領域とアナログ回路領域とを分離する構造をバイポーラトランジスタの回路に用いると、寄生容量が大きくなり、回路の動作特性が著しく劣化してしまう。このため、かかる解決方法はMOSトランジスタを用いたものに限定される欠点がある。

【0010】更に、特開平4-251970号公報の構造では、各ウェル領域312、314、315、318にはそれぞれ電源電位Vccまたは接地電位VNDが高濃度領域324、326を介して与えられて各ウェル領域の余剰電流を吸収しているが、これらの電源ないし接地電位配線は他の回路配線と同一平面での配線で行われている。このため、電源ないし接地電位配線のための配線領域が他の回路配線のほかに必要となり、集積回路の必要面積を増大してしまう欠点がある。

【0011】図15は特開平3-148852号公報に開示された構造で、バイポーラトランジスタにおいてもコレクタ・基板間容量を増大せずに基板クロストークを抑制したものである。シリコン基板402上に酸化膜404を介してシリコン層406を貼り付け等により形成したもので、いわゆるSOI(Silicon On Insulator)構造をしている。シリコン層406にはデジタル回路が形成される部分とアナログ回路が形成される部分とが設けられ、これらの間に溝を設け、この溝内に酸化膜408を介してポリシリコンなどの導電層410が接地電位に固定されて設けられている。

【0012】デジタル回路とアナログ回路とは絶縁物で分離されているので、直接のクロストーク成分の流通はなく、更にこれら回路間の溝の内部は一定電位に固定されているので、デジタル回路とアナログ回路間の容量性結合も防がれている。これによって、デジタル回路とアナログ回路とは直流的にも交流的にも分離されており、クロストークは防がれる。しかしながら、この構造ではシリコン基板402への配慮が無く、酸化膜404を介

## 8

した容量結合により信号成分がシリコン基板402を経由してデジタル回路とアナログ回路との間で流れる基板クロストークが防げない欠点がある。

## 【0013】

【発明が解決しようとする課題】本発明の目的は、以上に説明した従来技術の問題点を解決して、デジタル回路とアナログ回路とを同一半導体基板もしくは同一半導体基板上に混在せしめた半導体集積回路装置において、これらデジタル回路とアナログ回路間に半導体基板を介した信号の漏話ないしクロストークのない素子構造を有する半導体集積回路装置とその製造方法を提供することにある。

【0014】本発明の他の目的は、デジタル回路とアナログ回路とを同一半導体基板もしくは同一半導体基板上に混在せしめた半導体集積回路装置において、半導体基板の内部を介した信号の漏話ないしクロストークのない素子構造を有する半導体集積回路装置とその製造方法を提供することにある。

【0015】本発明の更に他の目的は、半導体基板により深く不純物をイオン注入してデジタル回路とアナログ回路との間の信号の漏話ないしクロストークを防止した半導体集積回路装置の製造方法を提供することにある。

## 【0016】

【課題を解決するための手段】本発明によれば、デジタル回路とアナログ回路とを同一半導体基板もしくは同一半導体基板上に混在せしめた半導体集積回路装置において、半導体基板表面もしくは半導体基板上の半導体層に複数のウェル層を有し、デジタル回路とアナログ回路とはそれぞれ異なるウェル領域に形成され、これらデジタル回路を形成したウェル領域とアナログ回路を形成したウェル領域とは半導体基板の厚さ以上の幅を有する分離領域によって離されている半導体集積回路装置を得る。

【0017】更に、上記半導体集積回路は各ウェル領域の底面には高濃度埋め込み領域を有し、ウェル領域間の分離領域には高濃度埋め込み領域を有しないようにすることもできる。また、デジタル回路領域を形成したウェル領域の表面で回路素子と分離領域との間もしくは分離領域表面でデジタル回路を形成したウェル領域側にそれぞれの領域と同一導電型で固定電位が与えられた高濃度領域を有することが出来る。更にまた、各ウェル領域に対応する半導体基板の底面に電源電位や接地電位などの固定電位が与えられた導電層を形成し、分離領域に対応する半導体基板底面にはこの導電層を形成しないようにすることもできる。この導電層に与える固定電位はデジタル回路を形成したウェル領域下とアナログ回路を形成したウェル領域下とで異なる配線を介して与えることもできる。更にまた、分離領域には異なる導電層の不純物を導入して高抵抗領域とすることもできる。また、分離領域と各ウェル領域との間にはウェル領域の深さ以上の深さを持つ絶縁膜を挟み込んでも良い。



【0018】一方、本発明の半導体集積回路装置の製造方法によれば、半導体基板表面上の半導体層に複数のウェル領域を有し、デジタル回路とアナログ回路とはそれぞれ異なるウェル領域に形成され、これらデジタル回路を形成したウェル領域とアナログ回路を形成したウェル領域とは半導体基板の厚さ以上の幅を有する分離領域によって離されている半導体集積回路装置の製造方法において、分離領域となる半導体基板領域の表面酸化膜を除去する工程と、半導体基板とは異なる導電層の不純物を表面酸化膜が除去された領域の表面に約0度の注入角度でイオン注入してこの領域の比抵抗を高める工程と、半導体基板の表面上に半導体層を成長せしめる工程とを有する半導体集積回路装置の製造方法を得る。不純物のイオン注入に際しては、注入エネルギーを変えて、複数の注入エネルギーでイオン注入すると更に良い。

【0019】なお、半導体基板ないし半導体層はシリコンに限られるものではなく、化合物半導体層の他の半導体であっても良く、半導体基板上に半導体層を形成した構造は半導体基板上に絶縁膜を介して半導体層を形成したSOI (Silicon On Insulator) 構造のものであっても良い。

【0020】本発明によれば、分離領域は半導体基板の厚さよりも広い幅を有しているため、デジタル回路領域で電圧の急激な変化が起こったときなどに発生するノイズ電流はアナログ回路領域に達する前に消滅してしまう。このノイズ電流は分離領域に高濃度埋め込み領域を有しない場合や分離領域を高比抵抗にした場合、分離領域とウェル領域との間に絶縁物を形成した場合にはより有効に消滅せしめ得る。また、デジタル回路を形成したウェル領域と分離領域との境界近傍に形成した固定電位の与えられた高濃度領域によってノイズ電流は吸収されるので、アナログ回路領域への伝搬を防ぐことが出来る。同様の効果は、各ウェル領域の下部の半導体基板底面に電源電位もしくは接地電位等の固定電位の与えられた導電層を有していても得られる。この時、導電層を単一として、単一の電位供給配線で電位を与えると、デジタル回路の急激な電位の変化時に生じる大電流で基板抵抗や配線抵抗によって半導体基板に生じる発生電位がアナログ回路にノイズとして現れることもあるが、電位供給配線を別々にすることにより、アナログ回路側の基板電位を安定にできてノイズの影響を防ぐことが出来る。

【0021】更に本発明の製造方法によれば、イオン注入を約0度の注入角度で行っているため、シリコン結晶に対してチャネルリング減少を生じさせることが出来る。より深く不純物をイオン注入することが出来る。これによって、深い高抵抗領域が形成でき、ノイズ電流の伝搬を効果的に抑制できる。なお、複数の注入エネルギーを用いてイオン注入することによって不純物濃度をより深い範囲にわたって一様に出来、ノイズ電流の伝搬の抑制を効率化できる。

【0022】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0023】図1(a)は本発明の第1の実施の形態を示す断面構造図、同図(b)は平面図である。望ましくはシリコンであり、厚さが“t”のp型半導体基板1上にp型埋め込み層2a、2bとn型埋め込み層3a、3bとを将来その上にデジタル回路領域101とアナログ回路領域102とが形成される部分に限って有する。この埋め込み層は将来分離領域103となる領域には作らない。埋め込み層2a、2b、3a、3bを有する半導体基板1上にはn型シリコン等のエピタキシャル層4を有し、p型埋め込み層2a、2b上ではp型ウェル5a、5bに変換されており、同様にn型埋め込み層3a、3b上ではn型ウェル6a、6bになされている。p型ウェル5aにはn型MOSトランジスタ7aが形成され、n型ウェル6bにはp型MOSトランジスタ8bが形成されてデジタル回路領域101にCMOSデジタル回路を形成している。また、n型ウェル6aにはp型MOSトランジスタ8aが形成され、p型ウェル5bにはn型MOSトランジスタ7bが形成されてアナログ回路領域102にCMOSアナログ回路を形成している。これらデジタル回路領域101とアナログ回路102とは平面的には図1(b)の如くになっており、アナログ回路領域102の占有面積が大きくデジタル回路101を囲うように配置されている。これらデジタル回路領域101とアナログ回路領域102との間にはエピタキシャル層4の分離領域103となっており、その幅は半導体基板1の厚さ“t”よりも大きな幅“W”を有している。その表面には層間絶縁膜17を有し、電源配線16a、16bが取り出されている。半導体基板1の裏面にはアルミニウム等の金属でなる基板裏面電極9が設けられ、接地電位に固定されている。

【0024】分離領域103の幅“W”は半導体基板1の厚さ“t”よりも大きくされており、300~600μmもしくはそれ以上に設定されている。これによって、デジタル回路領域101のウェル5a、6bからエピタキシャル層4または半導体基板1に漏れたノイズ電流はアナログ回路領域102のウェル6a、5bに達するよりも基板裏面電極9の電界に引っ張られて吸収される。従って、デジタル回路領域101からのノイズがアナログ回路に影響することを防止できる。

【0025】図1の実施の形態では、さらにp型ウェル5aのMOSトランジスタ7aと分離領域103との間にp型ウェル5aと同じ導電層のp型の高濃度ガードリング領域11aが設けられ、接地電位等の最低電位が電源配線16aを介して与えられている。このガードリング領域11aによって、MOSトランジスタ7aから漏れた電荷は捕獲吸収される。このようにノイズ成分となる電荷は分離領域103にもアナログ回路領域102に

も達することはない。たとえ分離領域103に達しても、その幅によってアナログ回路102への浮遊を阻止される。なお、図示はしていないが、n型ウェル6aには電源電位等の最高電位が与えられており、この電位によって生じるポテンシャル障壁によりさらにノイズ成分電荷のアナログ回路への伝搬は阻止される。

【0026】更に、アナログ回路領域102内ではp型MOSトランジスタ8aを形成するn型ウェル6aをn型MOSトランジスタ7bを形成するp型ウェル5bよりもデジタル回路領域101に近く配置している。一般に、ノイズとなる電荷の影響を受けやすいトランジスタは半導体基板に直接または半導体基板上に同じ導電層で形成した半導体層やウェル領域内に形成したトランジスタであり、図1(a)ではn型MOSトランジスタ7bである。このn型MOSトランジスタ7bがp型MOSトランジスタ8aよりもn型ウェル6aの幅分だけ遠くに形成されており、デジタル回路領域101から半導体基板1ないしエピタキシャル層4に流入した電荷の影響を受けにくくなっている。この効果をより完全にするために、同図1(a)では、p型ウェル5bのデジタル回路領域101側にp型で高濃度の領域11bをp型埋め込み層2bに達するように有し、このp型高濃度領域11bに接地電位などの最低電位を他の電源配線とは独立した配線16bで与えている。このp型高濃度領域11bによって、このまで達したノイズ成分電荷を吸収している。

【0027】本実施の形態では分離領域103となるエピタキシャル層4の導電層をn型としているが、p型であっても良いことは容易に理解できる。しかしながら、望ましくはn型の方が効果的である。その理由はp型の半導体基板1とデジタル回路を形成するp型ウェル5aとに対してポテンシャル障壁を形成できるので、ノイズ成分電荷の伝搬をより効果的に抑制できるからである。さらに、p型ウェル5aに対するガードリング領域11aをn型MOSトランジスタ7aより分離領域103側に形成したことによる更に他のメリットも存在する。即ち、ガードリング領域11aへの接地電位等の最低電位の供給は他の電源配線とは独立した配線で行われることが望ましく、これによって新たな配線が要求されるが隣接する分離領域103には回路素子が無いために十分な配線面積を確保できる利点がある。配線面積に余裕があれば配線を太く出来、配線抵抗を低くすることが出来る。ひいてはp型ウェル5aの電位の安定化と共に電荷吸収効果を高めることが出来る。また、アナログ回路領域102内のp型ウェル5bへのガードリング高濃度領域11bはp型埋め込み層2bに達するように形成されているが、ノイズ成分電荷の吸収効果を上げるためには浅く形成しないほうがよい。この点はデジタル回路領域101内のp型ウェル5aとは違っている。即ち、ガードリング高濃度領域11bを浅くしてp型埋め込み層2

bから離れた場合を図2に示す。電荷は抵抗の低い領域をより多く伝搬する性質を持っており、到達した電荷26は大きな抵抗r1の存在するガードリング高濃度領域11bの方向よりも小さな抵抗r2のp型埋め込み層2bを通過してn型MOSトランジスタ7bに流れる。ガードリング高濃度領域11bを深くしてp型埋め込み層2bに達するようにすることによって、このp型埋め込み層2bを介した電荷の流れを抑制することが出来る。

【0028】このように種々の対策をした本発明の第1の実施の形態のノイズ抑制効果を図3のグラフに示し、対策のない従来技術との比較をする。本実施の形態ではノイズを5~20dB低減することが出来る。

【0029】次に、本発明の第2の実施の形態について図4、図5(a)、(b)を参照して説明する。同図では、基板裏面電極9a、9bの形状に改良が加えられた点以外は図1(a)、(b)等の第1の実施の形態と同じであるので図1(a)、(b)等と同じ参照番号を用いている。即ち、半導体基板1の裏面に設けた接地電位を与える基板裏面電極9a、9bは二つに分けられて、デジタル回路領域101の裏面に設けた電極9aとアナログ回路領域102の裏面に設けた電極9bとし、分離領域103の裏面には基板裏面電極を設けていない。各裏面電極9a、9bはそれぞれ複数の独立した引き出し線を介して接地電位が与えられている。

【0030】基板裏面電極を第1の実施の形態のように単独の共通のもの9(図5(a)参照)とすると、基板裏面電極9に接続する引き出し線のインダクタンス成分Lが高周波領域の信号に対して $\omega L$ で与えられるリアクタンス成分を生じ、半導体基板1の電位を変化せしめてしまう。この電位変化がノイズとしてアナログ回路の動作に影響を与えてしまう。特に、デジタル回路で生じるノイズはパルスエッジで起こるので、この影響は大きい。これに対して、基板裏面電極を電極9aと9bの二つに分けると、デジタル回路側の基板裏面電極9aの引き出し線にインダクタンス成分があってもアナログ回路領域102の半導体基板1の電位を変化させることは少ない。半導体基板1を高比抵抗のもので形成した場合にはアナログ回路領域102の半導体基板1の電位の変化はほとんどなくなる。本実施の形態では、この効果を更に高めるために、基板裏面電極9a、9bに接地電位を与える引き出し線の数をそれぞれ複数とし、実質的に引き出し線のインダクタンス成分を小さくしている。これによってリアクタンス成分を小さくし、この面でも半導体基板1の基板電位の変化を押さえている。この効果を図5(b)に示す。同図では図5(a)の一つの裏面電極9の場合には周波数が100MHz以上でノイズの影響を受けているのに対し、図4の実施の形態の例では100MHz以上でもノイズの影響を受けていないことが解る。

【0031】次に、本発明の第3の実施の形態について



図6を参照して説明する。

【0032】本実施の形態では分離領域103の構造に改良を加えている。基板裏面電極9a、9bは第2の実施の形態の構造であり、その他は第1の実施の形態の構造であるので、同じ参照番号を使うことによって説明を省略する。本実施の形態では分離領域103の基板1の表面部104の不純物濃度を低くしている。これによってこの部分の比抵抗を高め、ノイズ成分電荷の伝搬を抑制し、かつデジタル回路部分101の基板電位のアナログ回路部分への影響を小さくしている。表面部104の不純物濃度は半導体基板1の導電型とは反対の導電型を示す不純物を局部的にイオン注入することによって形成できる。

【0033】次に、この表面部104の比抵抗を高めた半導体基板1上に半導体層を形成した構造の製造方法を図7(a)、(b)、(c)、(d)を参照して説明する。

【0034】まず、図7(a)に示すように、シリコンであるp型半導体基板1上の全面に薄い熱酸化の酸化膜15を形成する。この酸化膜15上で後にn型埋め込み層を形成する部分以外をホトレジストで選択的に覆う

(図7(a)ではこの工程はすでに終わっており、図示していない)。このホトレジストをマスクとして砒素を注入エネルギー50~70KeV、ドーズ量 $5 \times 10^{15}$ ~ $10 \times 10^{15} \text{ cm}^{-2}$ でイオン注入してn型埋め込み層3a、3bを形成する(図7(a)ではこの工程はすでに終わっている)。その後、ホトレジスト18をp型埋め込み層を形成すべき部分以外の酸化膜15上に形成する。このホトレジスト18をマスクとしてボロンを注入エネルギー50~70KeV、ドーズ量 $5 \times 10^{15}$ ~ $10 \times 10^{15} \text{ cm}^{-2}$ でイオン注入してp型埋め込み層2a、2bを形成する。

【0035】次に、図7(b)に示すように、ホトレジスト18を一旦除去し、再度全面にホトレジスト18を形成した後に、デジタル回路領域101とアナログ回路領域103とを形成すべき領域間の分離領域103上のホトレジスト18及び酸化膜15を除去する。このホトレジスト18及び酸化膜15を除去した部分から、半導体基板1の導電型とは反対の導電型を示す不純物(例えば、p型の基板に対してはリン、n型の基板に対してはボロン)を半導体基板の導電型が変わらない程度のドーズ量でイオン注入する。この薄いドーズ量のイオン注入で基板不純物を補償して半導体基板の不純物濃度を部分的に低くし、比抵抗を高めた表面部104を形成する。

【0036】具体的には、不純物濃度 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ のp型半導体基板に対してはリンを注入エネルギー300~400keV、ドーズ量 $1 \times 10^{11}$ ~ $10 \times 10^{11} \text{ cm}^{-2}$ 、イオン注入の投影飛程距離約0.4~0.5 $\mu\text{m}$ の深さにイオン注入する。続いてリンを注入エネルギー1~3MeV、ドーズ量 $1 \times 10^{11}$ ~ $10 \times 10^{11}$

$11 \text{ cm}^{-2}$ 、イオン注入の投影飛程距離約3~6 $\mu\text{m}$ の深さに更にイオン注入する。この時のイオン注入の注入角度は従来の7度ではなく、0度で行う。この注入角度ではシリコンの結晶に対してチャネルリング現象を生じる。このチャネルリング現象によって、図8(a)に示すように、不純物イオンを深くかつ均一(濃度分布がなだらかな)注入できる。従って、不純物濃度の低い表面部104を深くかつ比較的均一な不純物濃度で形成できる。半導体基板1、エピタキシャル層4及び表面部104の不純物濃度の関係は、後に示す図7(c)のA-A部の断面での不純物濃度を示した図8(b)に示してある。

【0037】次に、例えば1000~1100℃のランプラアニール等の方法によって熱処理し、その後表面の酸化膜15を除去して図7(c)に示すようにn型エピタキシャル層4を全面に形成する。この時、高濃度にイオン注入した埋め込み層2a、2b、3a、3dはエピタキシャル層4内に多少伸びる。

【0038】更に、図7(d)に示すように、p型埋め込み層2a、2b上のエピタキシャル層4にp型不純物をイオン注入してこれらの上にp型ウェル5a、5bを形成する。n型埋め込み層3a、3b上のエピタキシャル層4にもn型不純物をイオン注入して不純物濃度の調整されたn型埋め込み層6a、6bを形成する。埋め込み層のない部分上のエピタキシャル層4には不純物のイオン注入をせずにそのまま分離領域103として利用する。その後、MOSトランジスタ等の素子を形成する部分やコンタクト領域、ガードリング領域等を形成する部分上には薄い酸化膜を形成し、これをマスクとしてその他の領域上に300~600nmの厚さの厚い酸化膜10を形成する。その後は通常のMOSトランジスタ等の形成工程、配線形成工程、裏面電極形成工程などを施して半導体集積回路装置を得る。

【0039】以上に示した製造方法において、表面部104の形成は分離領域103に限られるものではなく、半導体基板1のエピタキシャル層4を形成する側の表面の全面に同様の方法で深くかつ比較的均一に不純物濃度で形成しても良い。

【0040】次に、図9(a)、(b)を参照して、本発明の第4の実施の形態を説明する。本実施の形態では支持半導体基板上に絶縁膜を介してバルク半導体層を貼り付けた所謂SOI構造を本発明に適用している。参照番号は他の実施の形態と出来得る限り同じものを用いている。

【0041】まず、図9(a)を参照すると、p型半導体基板1aの全表面に逆導電型であるn型の不純物(リン等)を0度の注入角度で深くイオン注入して、深さ5~10 $\mu\text{m}$ のp型で低不純物濃度の表面層104aを形成する。この表面層104a上に酸化膜12を全面に有するn型バルク半導体層1bをSOI技術を用いて張り

合わせる。その後、p型不純物をイオン注入してp型埋め込み層2a、2bを形成し、n型不純物をイオン注入してn型埋め込み層3a、3bを形成する。更に、p型不純物をイオン注入してp型ウェル5a、5bを形成し、n型不純物をイオン注入してn型ウェル6a、6bおよび分離領域用ウェル4aを形成する。その後、表面に酸化膜を被覆し、不純物の拡散ないしはイオン注入でMOSトランジスタやコンタクト領域、ガードリング領域を作り、配線層を形成する。

【0042】このようにして得られたSOI構造の半導体集積回路は各回路領域下の埋め込み層の下に酸化膜12を有し、さらにその下に基板全面に渡って低不純物濃度の光比抵抗領域である表面層104aが存在するので従来の半導体基板を介したノイズ性分離領域電荷の伝搬をより効果的に押さえることが出来る。

【0043】この本発明の第4の実施の形態の応用としては、図9(b)に示すように、分離領域103のバルク半導体層1bおよび分離領域用ウェル4aを半導体基板1a上の酸化膜12に達する絶縁物21で囲うようにしている。絶縁物21は例えば酸化シリコンである。この応用例によれば、絶縁物21によってデジタル回路領域101から分離領域103を介したノイズの伝搬がより効果的に防止される。

【0044】次に、図10、図11、図12を参照して、本発明の第5の実施の形態を説明する。本実施の形態でも支持半導体基板上に絶縁膜を介してバルク半導体層を貼り付けた所謂SOI構造を本発明に適用している。参照番号は他の実施の形態と出来得る限り同じものを用いている。

【0045】本第5の実施の形態では図9(a)の第4の実施の形態とほぼ同じであり、同じ部分の説明は省略する。異なっている点は各ウェル領域5a、5b、6a、6bには底面ばかりでなく側面にもそれぞれ各ウェル領域5a、5b、6a、6bとは異なる導電型で高濃度の領域13a、13b、14a、14bが覆っている点である。

【0046】SOI構造を用いても動作周波数がGHz帯になってくると信号のクロストーク抑制効果はかなり低下してくる。これは酸化膜12による容量成分を“C”としたとき、 $1/(\omega C)$ で表されるインピーダンスが動作周波数の上昇と共に低下することに起因している。このインピーダンスの低下を、各ウェルの周囲に反対導電型の領域を設けて酸化膜12による容量成分に直列に連なる容量成分を負荷して、防いだものである。この様子を図11により示す。ノイズ成分電荷の流れる通路となる領域19aと19bとの間にはp型ウェル5aの抵抗成分R1とp型ウェル5aと高濃度領域13aとの間に接合容量C3と高濃度領域13aの抵抗成分R4と酸化膜12による第1の容量成分C1と高比抵抗表面層104aの抵抗成分R3と酸化膜12による第2の

容量成分C2と高濃度領域13bの抵抗成分R5とp型ウェル5bと高濃度領域13bとの間に接合容量C4とp型ウェル5bの抵抗成分R2とが直列に存在している。このため、容量成分C1とC3で構成されるリアクタンス成分は容量成分C1単独の場合よりも大きくなっている。同様に、容量成分C2とC4で構成されるリアクタンス成分も容量成分C2単独の場合よりも大きくなっている。更に抵抗成分R4、R5が負荷されており、この点でもリアクタンス成分が大きくなっている。この結果、動作周波数が高くなっても信号のクロストーク抑制効果は効果的に維持される。この様子を図12にウェル領域に逆導電型の高濃度領域のない本発明の第4の実施の形態と比較して示してある。

【0047】本発明の第5の実施の形態の応用としては、各ウェルを2層構造とし外側を同一導電型で低濃度とすることも出来る。この場合、逆導電型の高濃度領域13a、13b、14a、14bは省略できる。例えば、各ウェルの内部でMOSトランジスタを形成する部分はMOSトランジスタの形成に必要とされる $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ とし、外側は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-3}$ とされる。外側の低濃度部分によって図11の抵抗成分R1、R2が高くなり信号のクロストーク抑制効果が高くなる。この外側の低濃度部分は各ウェルの少なくとも底面にあればその効果は得られる。

【0048】なお、SOI構造の酸化膜12による容量成分C1、C2を低めるために酸化膜12の膜厚を厚くすることも考えられるが、厚さ $1 \mu\text{m}$ 以上の酸化膜12をバルク半導体基板1bに形成すると基板のひずみが偏り、張り合わせ作業を高歩留まりで行うことが出来なくなる。この基板の歪みの偏りを改善できれば酸化膜12の膜厚を厚くすること有効である。

#### 【0049】

【発明の効果】以上に説明したように、本発明によれば、デジタル回路とアナログ回路とが同一の半導体基板上に混在した半導体集積回路において、各回路間での信号のクロストーク、特にデジタル回路からアナログ回路への信号のクロストークが有効に防止される。本発明の第1～第3の実施の形態では信号のクロストークを従来の5～20db抑制でき、第4ないし第5の実施の形態では更に5～20db抑制できる。

#### 【図面の簡単な説明】

【図1】(a)は本発明の第1の実施の形態の断面図である。(b)は本発明の第1の実施の形態の平面図である。

【図2】本発明の第1の実施の形態の効果を説明するための要部の断面図である。

【図3】本発明の第1の実施の形態の効果を説明するためのノイズ抑制量と周波数との関係を示すグラフである。

【図4】本発明の第2の実施の形態を示す断面図であ

る。

【図5】(a)は本発明の第2の実施の形態の効果を説明するための断面図である。(b)は本発明の第2の実施の形態の効果を説明するためのノイズ抑制量と周波数との関係を示すグラフである。

【図6】本発明の第3の実施の形態を示す断面図である。

【図7】(a)～(d)は本発明の第3の実施の形態の製造工程を示す断面図である。

【図8】(a)は本発明の第3の実施の形態で用いたイオン注入法の効果を従来のイオン注入法と比較した不純物濃度分布を示すグラフである。(b)は本発明の第3の実施の形態で用いたイオン注入法により得られる不純物濃度分布のグラフである。

【図9】(a)本発明の第4の実施の形態の主要製造工程での断面図である。(b)は本発明の第4の実施の形態の応用例を示す断面図である。

【図10】本発明の第5の実施の形態の主要製造工程での断面図である。

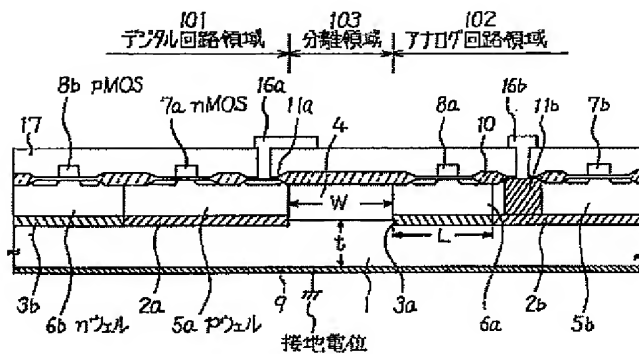
【図11】本発明の第5の実施の形態の効果を説明する断面図である。

【図12】本発明の第5の実施の形態の効果を第4の実施の形態と比較して示したグラフである。

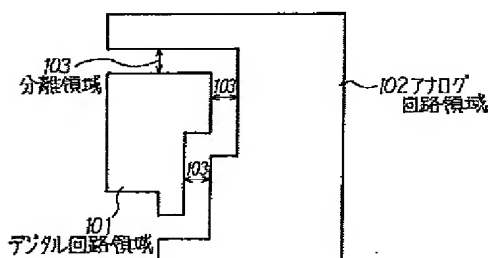
【図13】従来の構造を示す断面図である。

【図14】他の従来の構造を示す断面図である。

【図1】



(a)



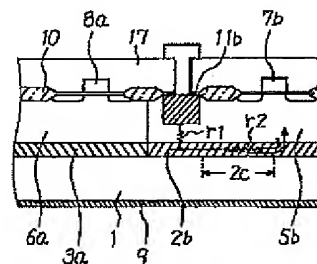
(b)

【図15】更に他の従来の構造を示す要部断面図である。

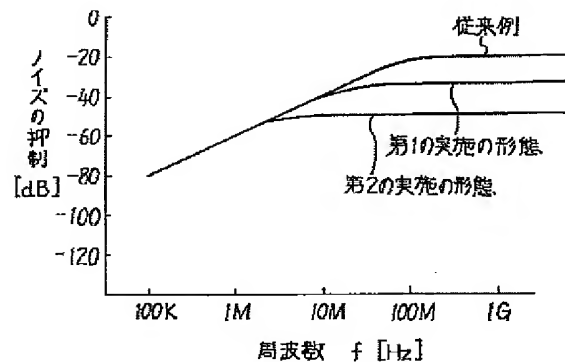
## 【符号の説明】

- 1、1 a、1 b 半導体基板
- 2 a、2 b p型埋め込み層
- 3 a、3 b n型埋め込み層
- 4、4 a n型エピタキシャル層
- 5 a、5 b p型ウェル
- 6 a、6 b n型ウェル
- 7 a、7 b n型MOSトランジスタ
- 8 a、8 b p型MOSトランジスタ
- 9、9 a、9 b 基板裏面電極
- 10 素子分離酸化膜
- 11 a、11 b ガードリング拡散層領域
- 12、15 酸化膜
- 13 a、13 b p型領域
- 14 a、14 b n型領域
- 16 a、16 b 配線
- 17 層間絶縁膜
- 18 ホトレジスト
- 19 a、19 b 拡散領域
- 21 絶縁物
- 101 デジタル回路
- 102 アナログ回路
- 103 分離領域

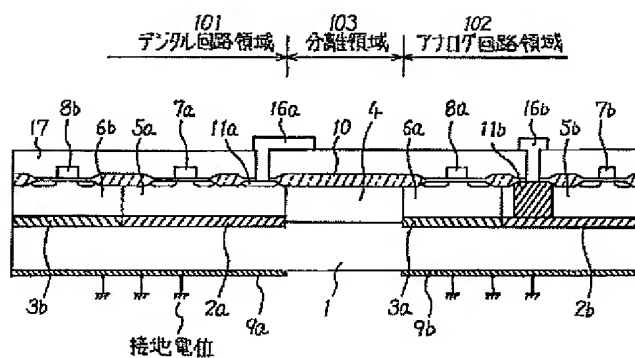
【図2】



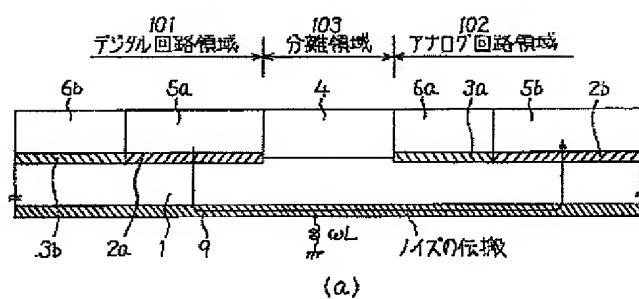
【図3】



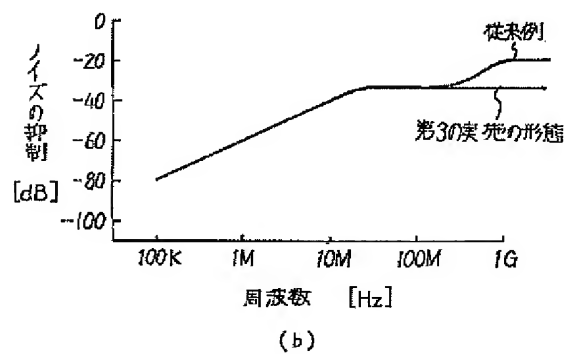
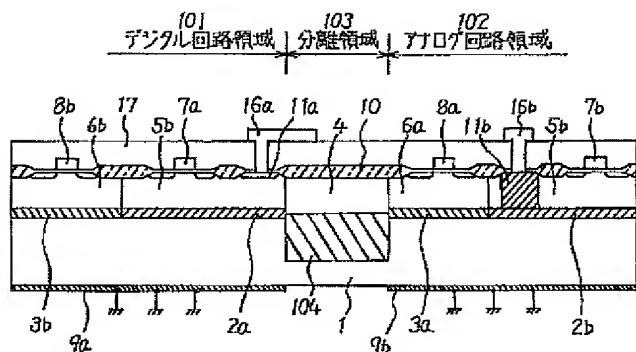
【図4】



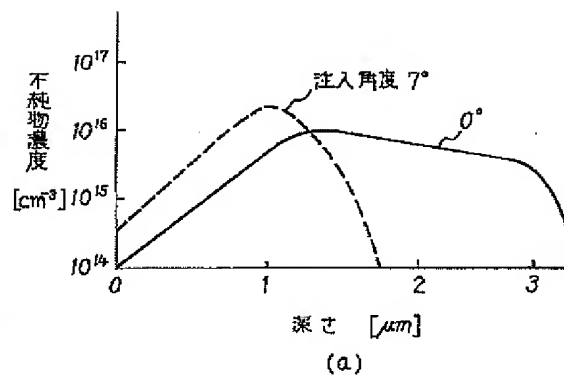
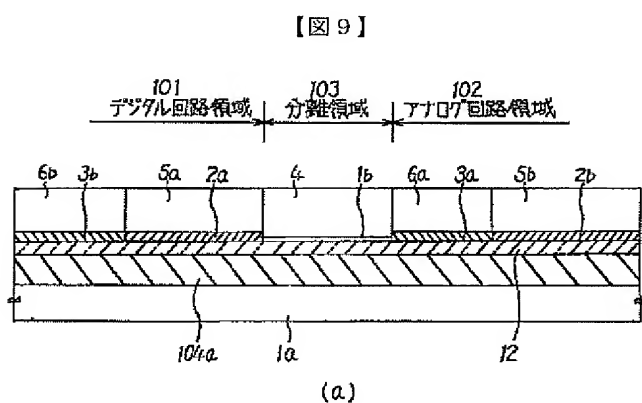
【図5】



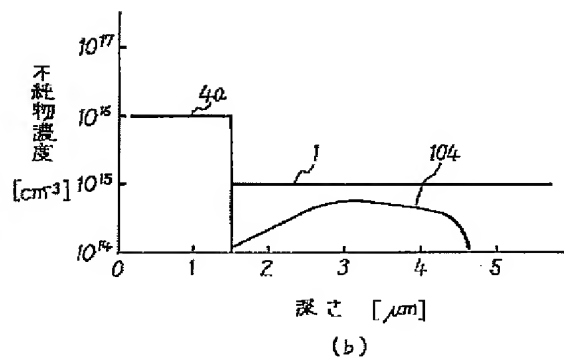
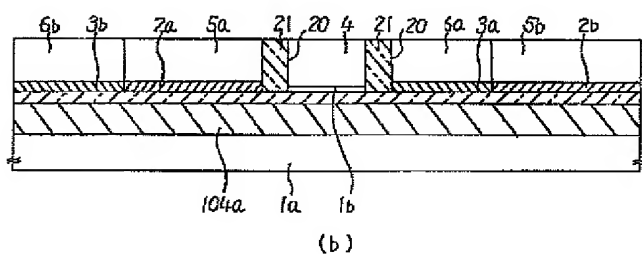
【図6】



【図8】

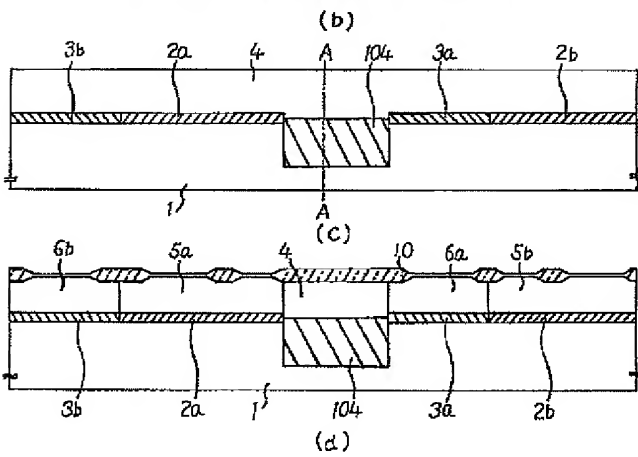
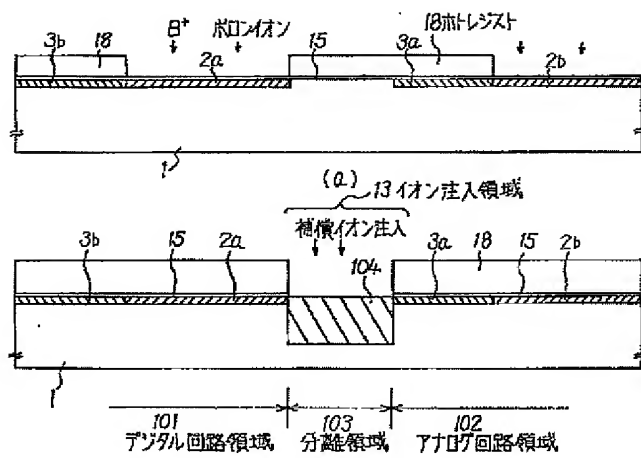


(a)

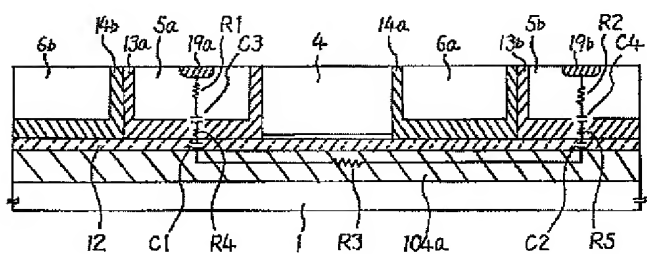


(b)

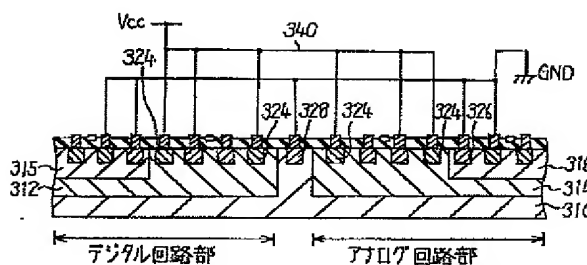
【図7】



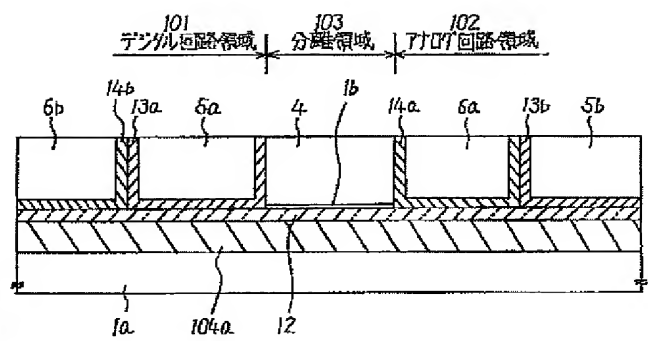
【図11】



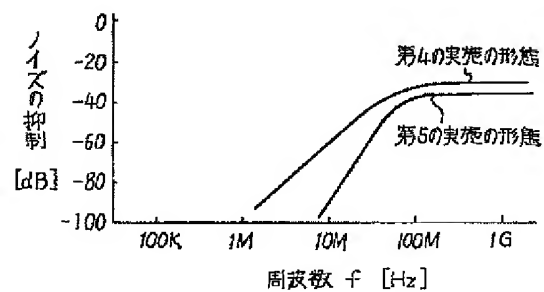
【図14】



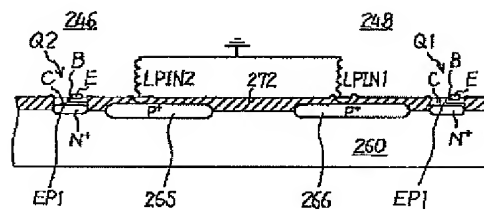
【図10】



【図12】



【図13】



【図15】

